

**Framleiðsla smárása:**

# **CMOS, BiCMOS, TFT, finFET og SOI**

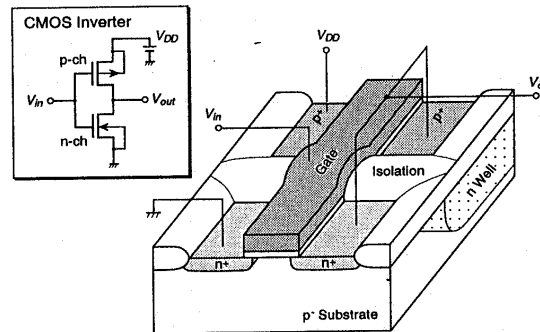
**Kaflí 13**

**Jón Tómas Guðmundsson**

**tumi@hi.is**

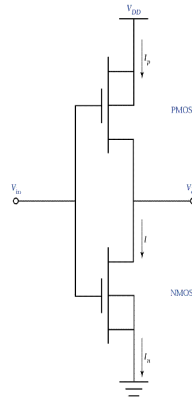
**8. vika haust 2018**

# CMOS



- Complementary MOS (CMOS) vísar til complementary  $p$ - og  $n$ -rása MOSFET pars
- CMOS rökrásir er mest notaða tæknin í hönnun smárása í dag og mun verða það um sinn
- Megin ástæðan er lítil aflnotkun og gott ónæmi fyrir suði
- Kynnt af Wanlass og Sah 1963

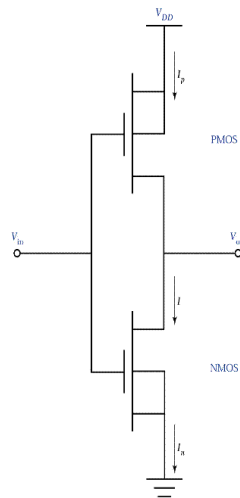
# CMOS formerkisbreytir



Semiconductor Devices, 2/E by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- CMOS formerkisbreytir, sem er grunneining CMOS rökrása er sýnd á myndinni
- Í CMOS formerkisbreyti eru gáttir  $p$ - og  $n$ -rásar smára tengdar saman og mynda inngang formerkisbreytisins
- Svelgir smáranna tveggja eru einnig samtengdir og vinna sem útgangur formerkisbreytisins

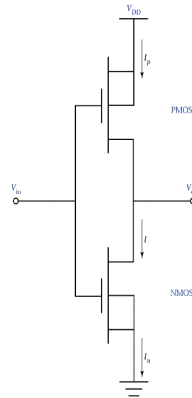
# CMOS formerkisbreytir



*Semiconductor Devices, 2/E* by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Lind og undirlag  $n$ -rásar MOSFET eru tengd við jörð
- Lind og undirlag  $p$ -rásar MOSFET eru tengd við aflgjafann ( $V_{DD}$ )

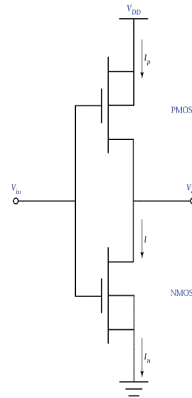
# CMOS formerkisbreytir



Semiconductor Devices, 2E by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Bæði  $p$ -rásar og  $n$ -rásar MOSFETinn eru hvatfetar (e. enhancehment - normally off)
- Þegar innspenna er lág er  $n$ -rásar MOSFET off (þ.e.  $V_{in} = 0$ ,  $V_{GSn} = 0 < V_{Tn}$ )
- $p$ -rásar MOSFETinn er á þar sem  $|V_{GSp}| \equiv V_{DD} > |V_{Tp}|$  ( $V_{GSp}$  og  $V_{Tp}$  eru neikvæðar)

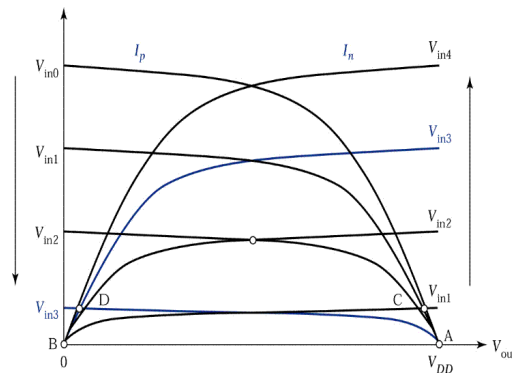
# CMOS formerkisbreytir



Semiconductor Devices, 2E by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Útgangurinn er þá á  $V_{DD}$  um  $p$ -rásar MOSFETinn
- Þegar innspennan er há þá er gáttarspennan jöfn  $V_{DD}$  og  $n$ -rásar MOSFETinn er á
- Þar með er  $V_{GSn} = V_{DD} > V_{Tn}$  og  $p$ -rásar smárinn er off þannig að  $|V_{GSp}| \equiv 0 < |V_{Tp}|$  og útgangurinn er afhlaðinn til jarðar um  $n$ -rásar MOSFETinn

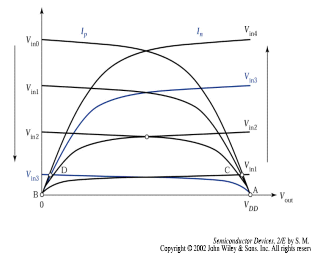
# CMOS formerkisbreytir



Semiconductor Devices, 2/E by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Útgangskennilína smára er gefinn á myndinni þar sem  $I_p$  og  $I_n$  eru sýndir sem fall af útspennunni  $V_{out}$ 
  - $I_p$  er straumur um  $p$ -rásar smára í stefnu frá lind (tengd  $V_{DD}$ ) til svelgs (útgangur)
  - $I_n$  er straumur um  $n$ -rásar smára í stefnu frá svelg (útgangur) til lindar (tengd  $V_{DD}$ )

# CMOS formerkisbreytir

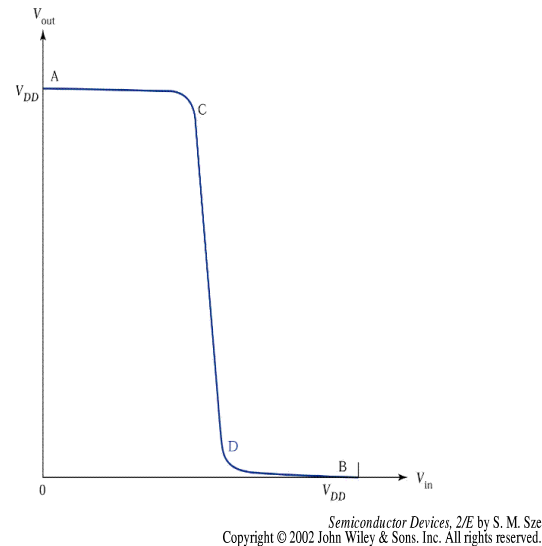


$$0 = V_{in0} < V_{in1} < V_{in2} < V_{in3} < V_{in4} < V_{DD}$$

- Aukning í innspennu ( $V_{in}$ ) leiðir til aukningar  $I_n$  en lækkunar  $I_p$  ef  $V_{out}$  er föst
- Í æstæði ætti  $I_n = I_p$
- Fyrir gefið  $V_{in}$  getum við ákvarðað tilsvarandi  $V_{out}$  frá skurðpunkti  $I_n(V_{in})$  og  $I_p(V_{in})$

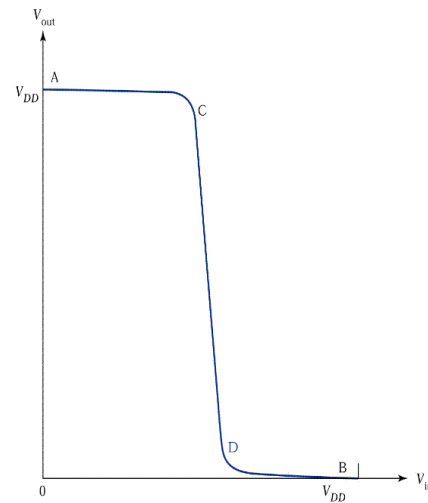


# CMOS



- Ferillinn sem sýnir  $V_{in}$  sem fall af  $V_{out}$  er nefndur yfirfærsla CMOS formerkisbreytu
- Mikilvægur eiginleiki CMOS formerkisbreytis er að þegar útgangur er í stöðugu ástandi  $V_{out} = 0$  eða  $V_{DD}$  er aðeins einn smári á

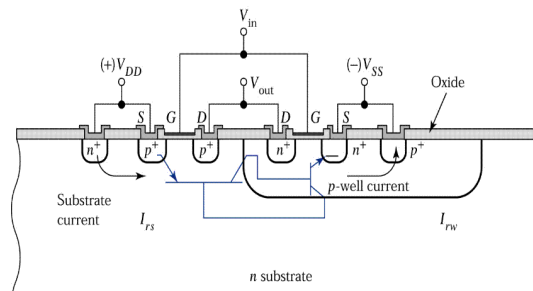
# CMOS



*Semiconductor Devices, 2/E by S. M. Sze*  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Straumflæðið frá aflagjafa til jarðar er afar lítið, aðeins lekastrumur tólsins sem er off
- Það rennur aðeins einhver verulegur straumur þá stuttu stund sem bæði tólin eru á

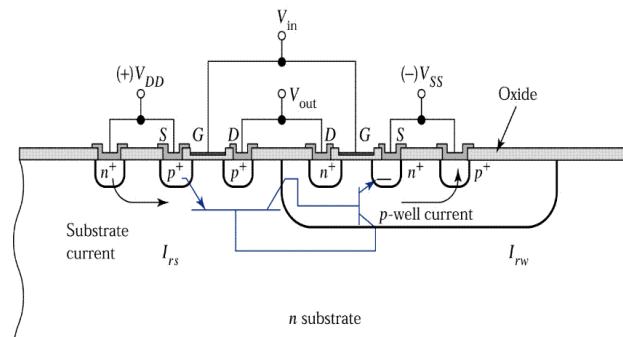
# CMOS Latch-up



Semiconductor Devices, 2/E by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Til að framleiða megi bæði  $n$ - og  $p$ -rásar MOSFET í sömu flöguna fyrir CMOS kemur til auka íbótar og sveimskref þegar myndaður er brunnur í undirlagið
- Íbótargerðin í brunninum er ólík undirlaginu
- Á mynd eru  $n$ - og  $p$ -rásar MOSFET framleiddir í  $p$ -brunn og  $n$ -undirlag

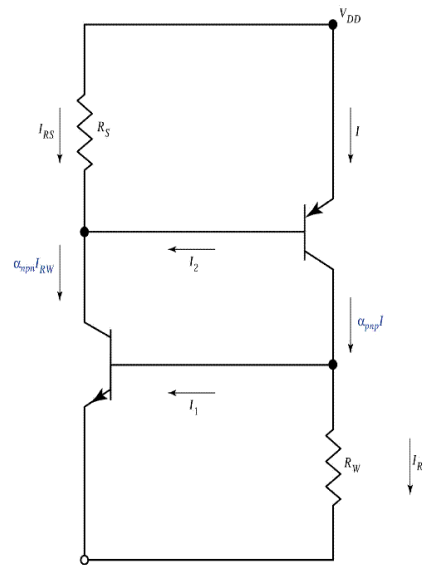
# CMOS Latch-up



Semiconductor Devices, 2/E by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Megin vandamálið við brunna í CMOS rás er latch-up
- Það stafar af sníkju  $p - n - p - n$  tvist sem myndast vegna brunnsins
- Það myndast lateral  $p - n - p$  og vertical  $n - p - n$  tvískeyttir smárar

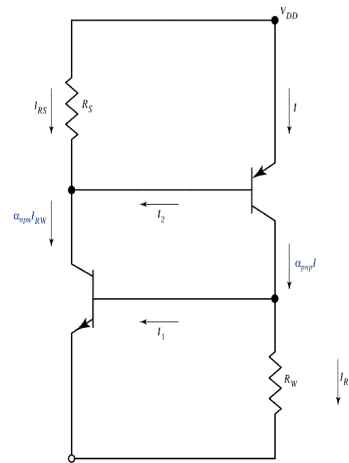
# CMOS Latch-up



*Semiconductor Devices, 2/E by S. M. Sze*  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Jafngildisrásin er sýnd á myndinni,  $R_S$  er viðnám í undirlagi og  $R_W$  er viðnám í brunni
- Beinir hvors smára er drifinn af gleypi hins, sem myndar þannig jákvæða afturverkun

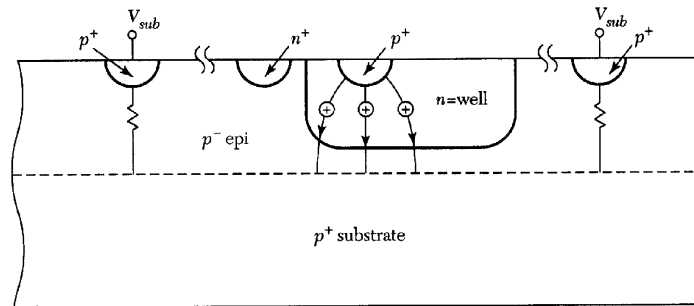
# CMOS Latch-up



Semiconductor Devices, 2/E by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Latch-up á sér stað ef straummögnun smáranna tveggja  $\alpha_{npn}\alpha_{pnp} > 1$
- Við latch-up rennur mikill straumur frá aflgjafa ( $V_{DD}$ ) til jarðar
- Þetta hefur áhrif á rásina og getur eyðilagt flöguna vegna hins mikla afls sem um getur verið að ræða

# CMOS Latch-up



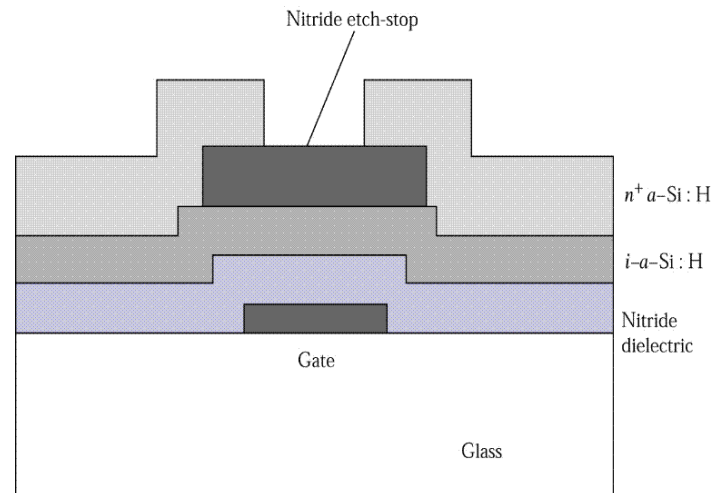
- Þetta má leysa með því að draga úr mögnun þessara sníkju smára
  - gull íbót
  - nifteindaágeislunlengja líftíma víkjandi bera
- Þessi aðferð eykur lekastrauma í rásinni
- Einnig má nota mikið íbætt undirlag og rækta létt íbætt lag með lagvexti í hvert tólin eru byggði

## MOSFET á einangrara

- Fyrir nokkrar hagnýtingar er MOSFET framleiddur á einangrandi fremur en á hálfleiðandi undirlag
- Þessi tól eru nefnd þunnur flatur smári (e. Thin Film Transistor (TFT)) ef rásin er úr myndlausum eða fjölkristölluðum kísili
- Ef rásin er úr einkristölluðum kísli er tólið nefnt kísill-á-einangrara (e. Silicon on Insulator (SOI))
- Vetnisíbættur myndlaus kísill (a-Si:H) og fjölkristallaður kísill eru vinsælustu efnin fyrir framleiðslu þunnra flatra smára (TFT)



## Þunnur flatur smári (TFT)



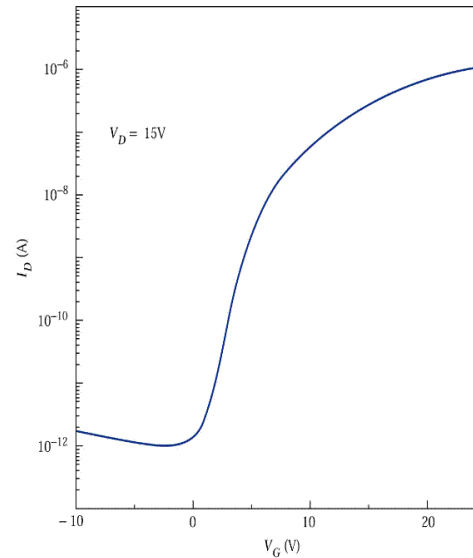
*Semiconductor Devices, 2/E by S. M. Sze*  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Þunnur flatur smári (Thin Film Transistor (TFT))
- Þeir eru oftast ræktaðir á einangrandi undirlag eins og gler, kvars, eða kísil sem á hefur verið ræktað þunnt  $\text{SiO}_2$  hlífðarlag

## Þunnur flatur smári (TFT)

- Ræktunarhitastig er 200 - 400°C (PECVD)
- Lágt ræktunarhitastig gerir það mögulegt að nota fremur ódýrt undirlag eins og gler
- Vetrinatómin gegna því hlutverki að passivate dangling bonds í myndlausu kíslinum og draga þannig úr veilupéttleika
- Að öðrum kosti er ekki hægt að stilla Fermiorkustigið með gáttarspennunni heldur festa veilurnar það

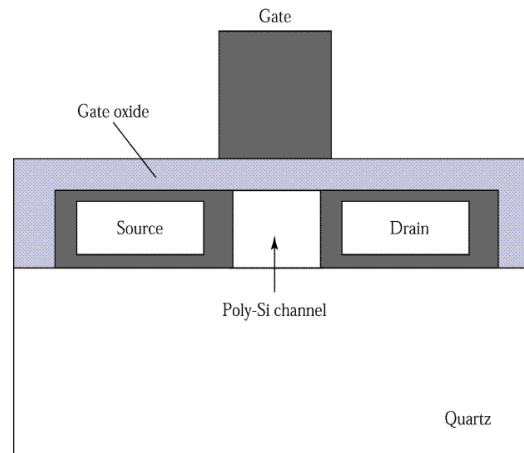
## Þunnur flatur smári (TFT)



*Semiconductor Devices, 2/E by S. M. Sze*  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Dæmigert kennigraf TFT úr a-Si:H ( $L/Z = 10/60\mu\text{m}/\mu\text{m}$  og hreyfanleiki  $0.23 \text{ cm}^2/\text{Vs}$ )
- Hreyfanleiki er afar lágur ( $< 1 \text{ cm}^2/\text{Vs}$ )

## Þunnur flatur smári (TFT)



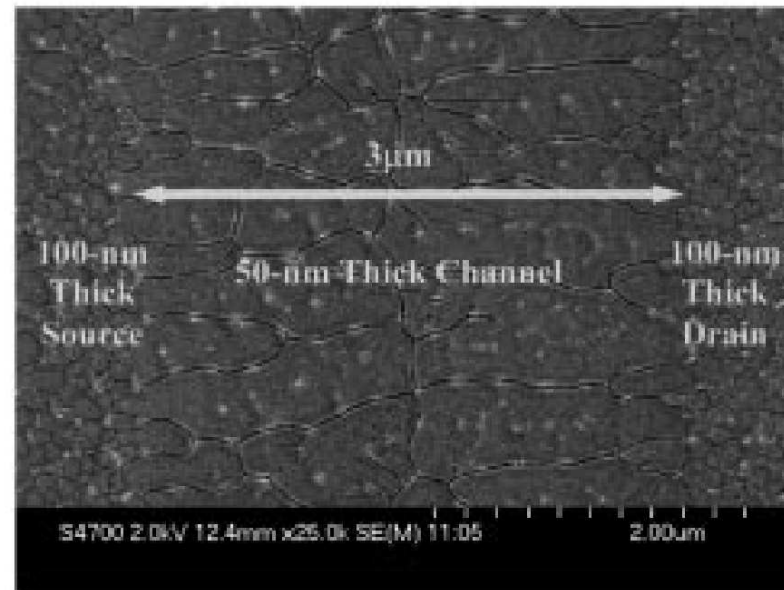
Semiconductor Devices, 2/E by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Þunnir flatir smárar úr fjölkristölluðum kísli eru eru gjarnan með gáttina að ofan
- Eitt helsta vandamálið við framleiðslu á TFT úr fjölkristölluðum kísli er hátt framleiðsluhitastig ( $> 600^{\circ}\text{C}$ )

## Þunnur flatur smári (TFT)

- Það þarf því fremur dýrt undirlag eins og kvars til að þola þetta hitastig
- TFT úr fjölkristölluðum kísli er þess vegna umtalsvert dýrari í framleiðslu en TFT úr a-Si:H
- TFT úr fjölkristölluðum kísli notar þunnan fjölkristallaðan kísil sem rás
- Fjölkristallaður kísill samanstendur af einkristölluðum kísil kornum
- Kristalstefna samliggjandi einkristallaðra korna er mismunandi og samskeyti kornanna eru nefnd kornamörk

## Þunnur flatur smári (TFT)



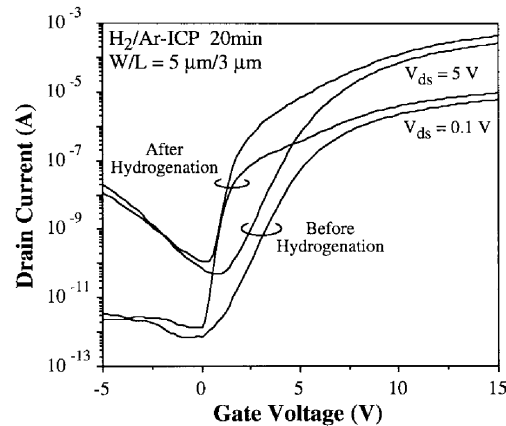
(Lin et al. 2001)

- TFT úr fjölkristölluðum kísli hefur mun meiri hreyfnaleika ( $10 - 400 \text{ cm}^2/\text{Vs}$ ) og hefur þess vegna mun betri drifeiginleika en a-Si:H

## Þunnur flatur smári (TFT)

- Fjölkrystallaður kísill er venjulega ræktaður í lágþrýstu CVD (LPCVD)
- Kornastærðin er afar mikilvæg breyta, hreyfanleiki fellur með fallandi kornastærð
- Það er einkum vegna veilna á kornamörkum
- Þessar veilur geta einnig haft áhrif á þröskuldsspennu og subthreshold swing tólsins
- Þegar spenna er lögð á gáttina til að framkalla umhverfingu þá virka þessar veilur sem gildirur sem hindra færslu Fermiorkustigsins

## Þunnur flatur smári (TFT)

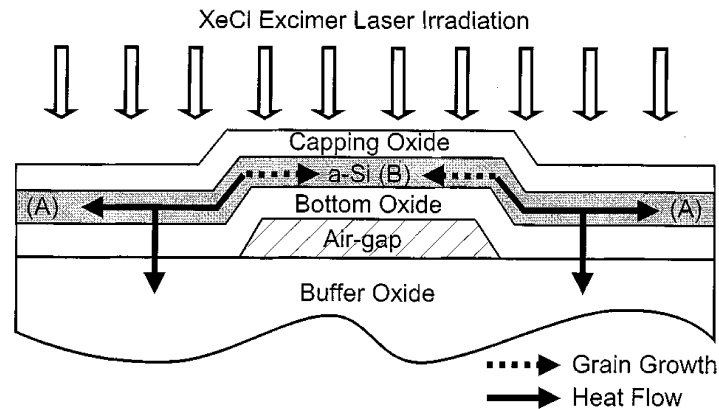


(Yeh et al. 1999)

- Til að draga úr áhrifum veilna á kornamörkum er gjarnan beitt vetnisíbætingu
- Vetnis frumeindir eða jónir sveima að kornamörkum og passivate þessar veilur sem leiðri til mun betri eiginleika tólananna
- Þröskuldsspennan lækkar, subthreshold sveiflan lækkar og hreyfanleiki hækkar við vetnisíbætingu



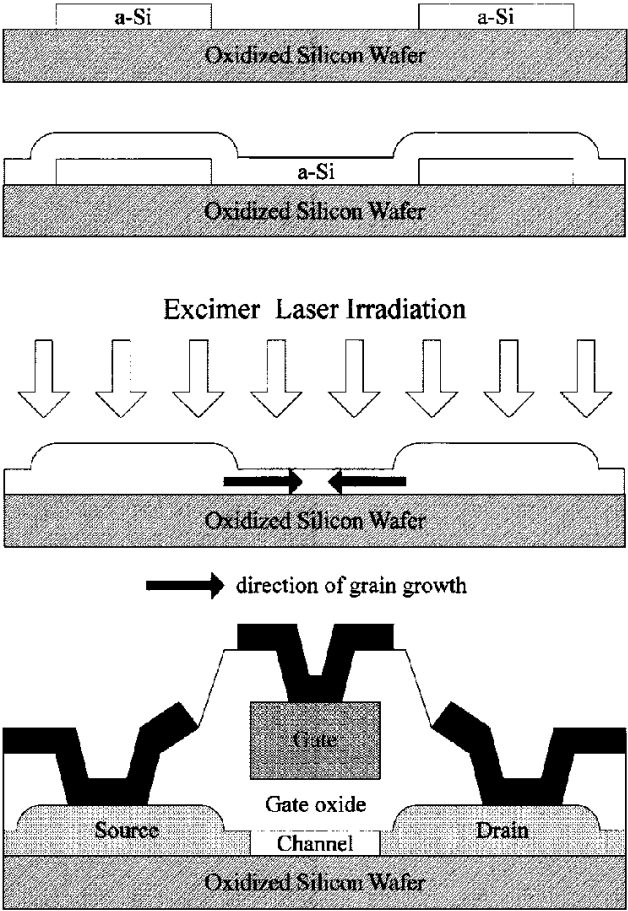
## Þunnur flatur smári (TFT)



(Kim et al. 2002)

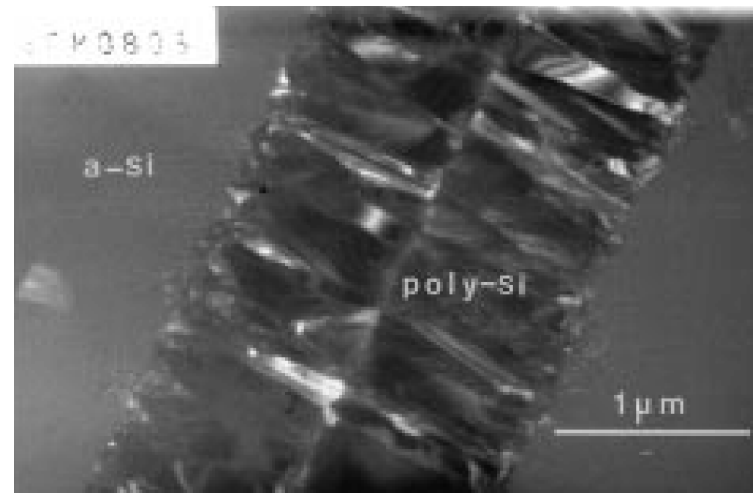
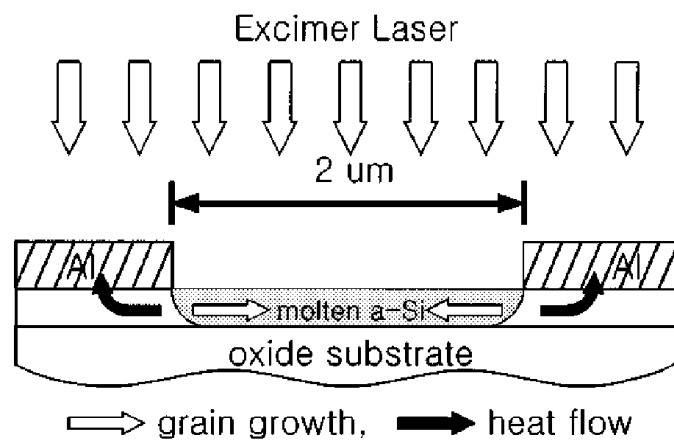
- Reynt hefur verið að kristalla myndlausan kísil með leysum
- Þá er ræktaður myndlaus kísill við lágt hitastig með PECVD eða LPCVD
- Á hann er síðan lýst með öflugum leysi sem bræðir kísilinn staðbundið og síðan kristallast hann í fjölkristallaðan kísil með stórum kornum ( $\geq 100 \mu\text{m}$ )

# Punnur flatur smári (TFT)



(Lin et al. 2001)

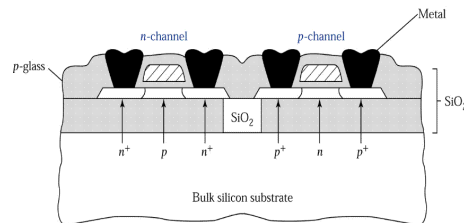
## Þunnur flatur smári (TFT)



(Jeon et al. 2001)

- Dæmi um kristöllum myndlauss kísils í fjölkristallaðann með excimer leysi ( $\text{XeCl}$ ,  $\lambda = 308 \text{ nm}$ )

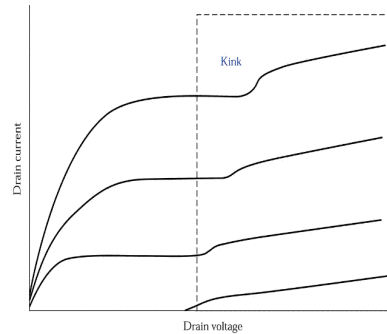
# SOI MOSFET



Semiconductor Devices, 2/E by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Myndin sýnir SOI CMOS byggðan á kísiloxíð
- Auka má þéttleika tóla
- Latch-up sem er innbyggt í CMOS tæknina er horfið og verulega er dregið úr sníkjurýmnd í lindar og svelgsvæðum með einangrandi undirlagi
- Þykkt rásarinnar ákvarðar hvort SOI CMOS er partially depleted (PD) eða fully depleted (FD)

# SOI MOSFET



Semiconductor Devices, 2<sup>nd</sup> ed. by S. M. Sze  
Copyright © 2002 John Wiley & Sons, Inc. All rights reserved.

- Megin munur á SOI CMOS og hefðbundnum CMOS er að undirlagið er fljótandi í þeim fyrr nefnda
- Hátt svið nálægt svelg getur valdið jónun þar. Ríkjandi berar sem þannig myndast í undirlaginu eru geymdir
- Mættið á undirlaginu breytist og þar með þröskuldsspennan, þetta kemur fram sem kink á  $I_D - V_D$  kennilínu

# BiCMOS

- Kostir CMOS eru lítil aflnotkun og mikill þéttleiki tóla sem gerir þá heppilega til framleiðslu flókinna rökrása
- En ókostur eru lélegir drifeiginleikar
- Tvískeytt tól eru betri í skiptirásir en tilsvarendi CMOS en nota talsvert meira afl
- Vegna þessara takmarkanna CMOS tóla eru tvískeyttir smárar gjarnan notaðir í hliðrænar og rf rásir
- Oftast eru þá tvískeyttu smáarnir settir á sér flögu,
  - tvískeyttir GaAs fjölsamskeytasmárar (e. heterojunction bipolar transistors (HBT))
  - SiGe-beinis tvískeyttir smárar (Þeir hafa talsvert betri straummögnun ( $\sim 5\times$ ) en venjulegir tvískeyttir kísilsmárar)

# BiCMOS

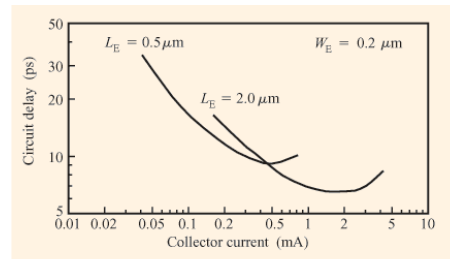


Figure 5

Typical switching delay of self-aligned SiGe-base bipolar ECL circuits.  $W_E$  is the emitter stripe width and  $L_E$  is the emitter length. Adapted with permission from [16]; © 1999 IEEE.

(Ning 2002)

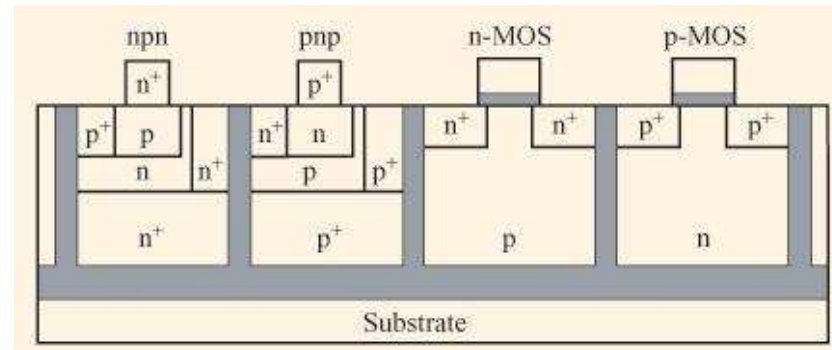
- HBT eru hraðari en tvískeyttir SiGe-beinis smárar eru vinsælli. Þeir eru ódýrari og þá er hægt að byggja á flögu með CMOS
- Í BiCMOS eru CMOS og tvískeytt tól mynduð á sömu flögu
- Í BiCMOS eru flest tólin CMOS en nokkur tvískeytt tól eru þar einnig til sértækra aðgerða
- BiCMOS tæknin fyrir rökrásir var þróuð í lok áttunda áratugs tuttugustu aldar og aftur snemma á tíunda áratugnum

# BiCMOS

- Í lok áttunda áratugs tuttugustu aldar var CMOS 5 V tækni
- Til að skipta um stöðu á CMOS þurfti að breyta um 5 V á meðan 400 mV dugðu fyrir tvískeyttan smára
- Hugmyndin var að sameina hraða tvískeyttra smára og litla aflnotkun á eina flögu
- Þegar svo farið var að lækka drifspennu CMOS í byrjun 10. áratugarins var ekki eins rík ástæða til að bæta við tvískeyttum smárum á CMOS flögu
- Helsta vandamálið við BiCMOS er kostnaður
- Með þróun þráðlausra fjarskipta hefur áhugi á BiCMOS vaknað á ný



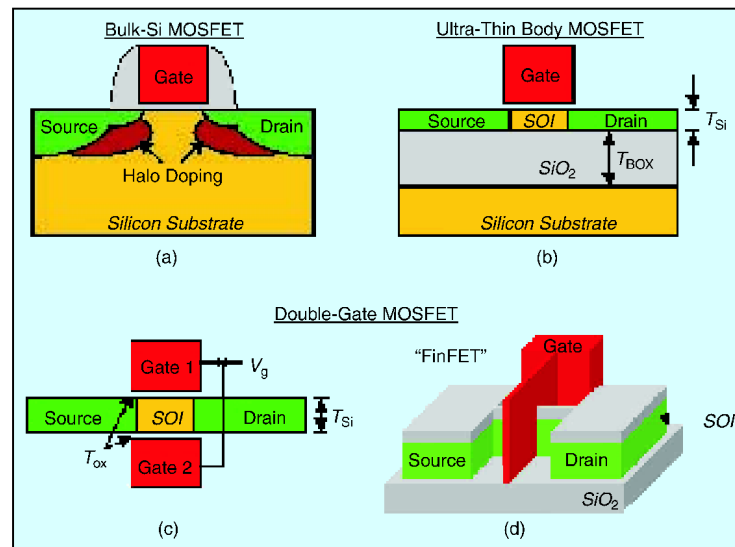
# SOI BiCMOS



(Ning 2002)

- Þá er CMOS látið sjá um stafræna hlutann (rökrásir) en tvískeyttir smárar um rf og hliðræn merki (mixed systems)
- Í slíkum kerfum er mjög mikilvægt að suð sem framkallað er í stafræna hluta kerfisins nái ekki til rf og hliðræna hluta þess
- Slík tengsl eru gjarnan um undirlagið
- Notkun á SOI getur dregið verulega úr slíkum suðtengslum
- Einnig má aðskilja einstaka smára með oxíði eða raufum

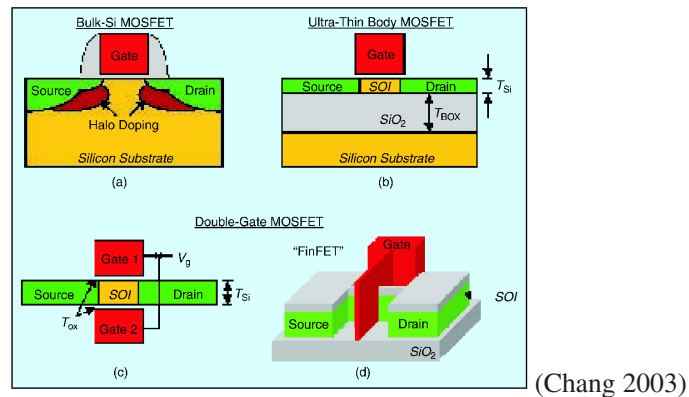
# Aðrir FETar



(Chang 2003)

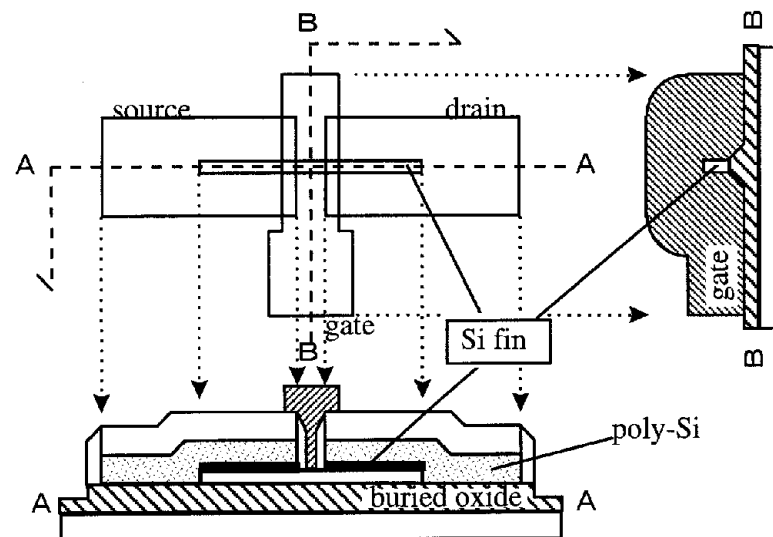
- Vegna takmarkanna í minnstu þykkt gáttaroxíðs og dýpt lindar- og svelgsvæða mun reynast ómögulegt að minnka smára niður fyrir 100 nm
- Til að yfirvinna þau tæknilegu vandamál verður að koma til ný hönnun, nýjar byggingaraðferðir og ný efni

# Aðrir FETar



- Í smára með ofurpunnum bol (e. ultra thin body transistor (UTB)) er kísilbolurinn úr afar þunnu lagi  $< 10$  nm
- Með gáttarlengd sem er 20 nm er hægt að framleiða tól sem vinnur á THz sviðinu
- Með tvöfaldri gátt má draga úr áhrifum stuttrar rásar
- MOSFET með tvöfaldri gátt er talinn munu koma í stað hefðbundna flata MOSFET smárans

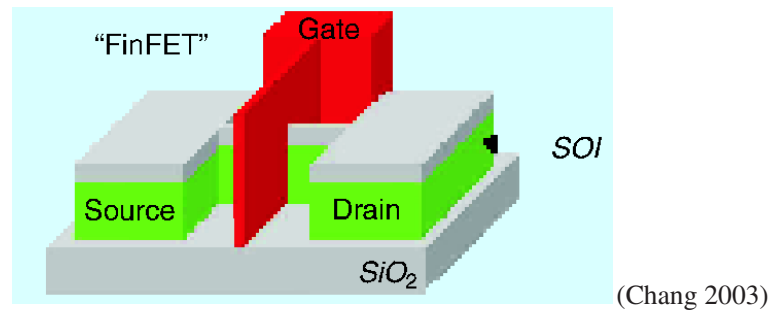
# finFET



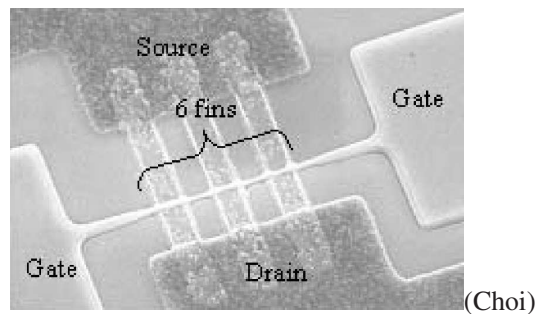
(Hisamoto 1998)

- FinFET var innleiddur af Chenming Hu og félagum 1998
- Þunnur kísilkambur er þá hjarta smárans og hefur samhverfar gáttir á báðar hliðar - tvöföld gátt
- Lind og svelgur eru sitt hvoru megin gáttarinnar og straumurinn fer um kísilkambinn

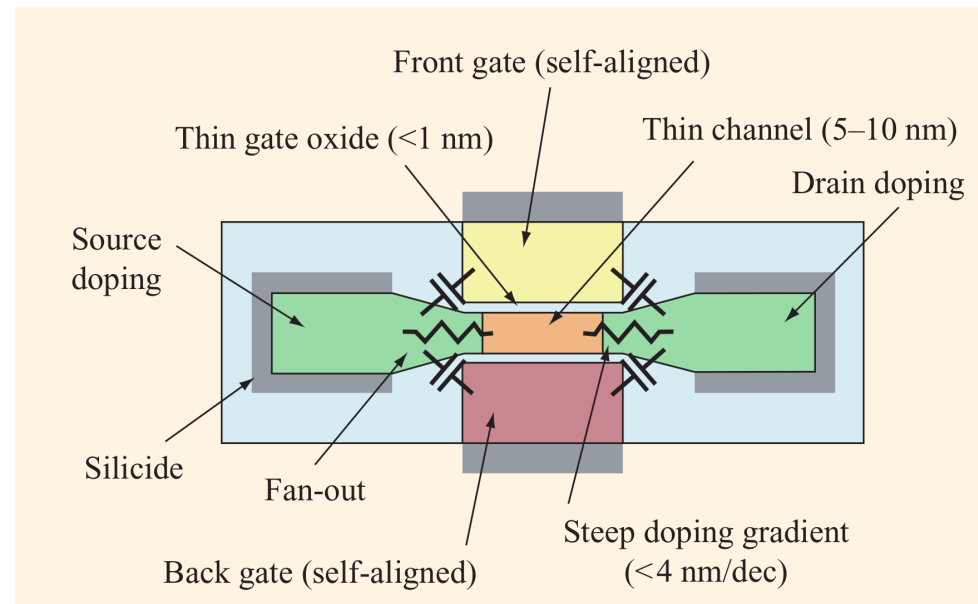
# finFET



- Nafnið kemur frá kísilugganum sem er grunn byggingareining smárans
- Helsti kostur lóðréttra tóla er að gáttarlengd er skilgreind með ræktun eða jónaígræðslu og sveimi en ekki lithography



# finFET



(Wong 2002)

- Þversviðsmynd af kjör tvígátta finFET

# Heimildir

- [1] S. M. Sze, *Semiconductor devices: Physics and technology*, John Wiley & Sons, 2ed., 2002, kaflar 6.4 og 6.5
- [2] F. M. Wanlass and C. T. Sah, Nanowatt Logic Using Field-Effect Metal-Oxide Semiconductor Triodes, *Digest of technical papers / International Solid-State Circuits Conference* (1963) 32 - 33
- [3] T.H. Ning, Why BiCMOS and SOI BiCMOS ?, *IBM Journal of Research and Development* **46** (2002) 181 - 186
- [4] C.-F. Yeh, T.-J. Chen, C. Liu, J. T. Gudmundsson and M. A. Lieberman, Hydrogenation of Polysilicon Thin-Film Transistor in a Planar Inductive H<sub>2</sub>/Ar Discharge, *IEEE Electron Device Letters* **20** (1999) 223 - 225
- [5] Jae-Hong Jeon, Kee-Chan Park, Min-Cheol Lee and Min-Koo Han, A new polycrystalline silicon TFT with a single grain boundary in the channel, *IEEE Electron Device Letters* **22** (2001) 429 - 431
- [6] Cheon-Hong Kim, In-Hyuk Song, Min-Koo Han and Woo-Jin Nam, A poly-Si TFT fabricated by excimer laser recrystallization on floating active structure, *IEEE Electron Device Letters* **23** (2002) 315 - 317
- [7] Ching-Wei Lin, Huang-Chung Cheng, Li-Jing Cheng, Yih-Shing Lee and Yin-Lung Lu, High-performance low-temperature poly-Si TFTs crystallized by excimer laser irradiation with recessed-channel structure, *IEEE Electron Device Letters* **22** (2001) 269 - 271
- [8] N. Lindert, Y.-K. Choi, L. Chang, E. Anderson, W.-C. Lee, T.-J. King, J. Bokor, and C. Hu, Quasi-planar FinFETs with selectively grown germanium raised source/drain, SOI Conference, 2001 IEEE International , 1-4 Oct. 2001 Pages:111 - 112

- [9] D. Hisamoto, Wen-Chin Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, Tsu-Jae King, J. Bokor, Chenming Hu, A folded-channel MOSFET for deep-sub-tenth micron era, Electron Devices Meeting, 1998. IEDM '98 Technical Digest., International , 6-9 Dec. 1998 Pages:1032 - 1034
- [10] Leland Chang, Yang-Kyu Choi, J. Kedzierski and N. Lindert, Peiqi Xuan, J. Bokor, Chenming Hu and Tsu-Jae King Moore's law lives on, *Circuits and Devices Magazine*, **19**, January 2003, Pages:35 - 42
- [11] Xuejue Huang, Wen-Chin Lee, Charles Kuo, D. Hisamoto, Leland Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Yang-Kyu Choi, K. Asano, V. Subramanian, Tsu-Jae King, J. Bokor, Chenming Hu, Sub 50-nm FinFET: PMOS, Electron Devices Meeting, 1999. IEDM Technical Digest. International , 5-8 Dec. 1999 Pages:67 - 70
- [12] Xuejue Huang, Wen-Chin Lee, Charles Kuo, D. Hisamoto, Leland Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Yang-Kyu Choi, K. Asano, V. Subramanian, Tsu-Jae King, J. Bokor, Chenming Hu, Sub 50-nm P-Channel FinFET, *IEEE Transactions on Electron Devices*, **48**, (2001) 880-886
- [13] H.-S. P. Wong, Beyond the conventional transistor, *IBM Journal of Research and Development*, **46**(2-3), (2002) 133 – 168